

11 2
PATENT
2257-0201P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Hideaki KOSAKA Conf.:
Appl. No.: NEW Group:
Filed: December 27, 2001 Examiner:
For: MPEG DATA RECORDING APPARATUS HAVING
IEEE 1394 INTERFACE

JC927 U.S. PTO
10/026543
12/27/01

L E T T E R

Assistant Commissioner for Patents
Washington, DC 20231

December 27, 2001

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2001-189143	June 22, 2001

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By 
Michael E. Mutter, #29,680

MKM/pjh
2257-0201P

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

Attachment

日 本 国 特 許 庁
JAPAN PATENT OFFICE

HOKOSAKA
Dec 27, 2001
Buck, Stuart, et al.
(703) 203-8000
2257-0201P
1061

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出 願 年 月 日
Date of Application:

2001年 6月22日

出 願 番 号
Application Number:

特願2001-189143

出 願 人
Applicant(s):

三菱電機株式会社

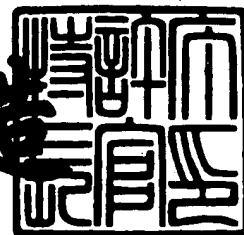
JC927 U.S. PTO
10/026543
12/27/01

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 7月 3日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 531886JP01

【提出日】 平成13年 6月22日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/765
H04N 5/92

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 小坂 英明

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 MPEGデータ記録装置

【特許請求の範囲】

【請求項 1】 外部装置と接続された入力端子を有し、前記外部装置から出力されるMPEGデータ及び前記MPEGデータの受信後に遅れて前記外部装置から出力される記録制御コードを受信して、少なくとも前記MPEGデータ及び前記記録制御コードを出力端子より出力するIEEE1394インターフェースと、

前記IEEE1394インターフェースの前記出力端子に接続された入力端子を有し、前記MPEGデータが有効に存在するか否かを検出して、存在するときにはデータ検出信号をその出力端子より出力するMPEGデータ検出部と、

前記IEEE1394インターフェースの前記出力端子に接続された入力端子と制御端子とを有し、前記MPEGデータを一時記憶するFIFOバッファ部と、

前記FIFOバッファ部の出力端子に接続された入力端子と制御端子とを有し、前記FIFOバッファ部が出力する前記MPEGデータを記録するデータ記録部と、

前記IEEE1394インターフェースの前記出力端子及び前記MPEGデータ検出部の前記出力端子に接続された入力端子を有し、前記データ検出信号の受信に応じて、FIFO動作の開始を指令する信号を前記FIFOバッファ部の前記制御端子に出力し且つ記録動作の停止を指令する信号を前記データ記録部の前記制御端子に出力すると共に、前記記録制御コードの受信に応じて、前記MPEGデータの読み出しを指令する信号を前記FIFOバッファ部の前記制御端子に出力し且つ前記記録動作の開始を指令する信号を前記データ記録部の前記制御端子に出力するバッファ制御部とを備えることを特徴とする、

MPEGデータ記録装置。

【請求項 2】 請求項 1 記載のMPEGデータ記録装置であって、

前記IEEE1394インターフェースは、前記記録制御コードの受信後に遅れて前記外部装置から出力される記録停止制御コードをも受信して出力し、

前記バッファ制御部は、前記記録停止制御コードの受信に応じて、前記記録停止制御コードの受信時に前記FIFOバッファ部に入力されている前記MPEGデータの全てを前記データ記録部の前記入力端子に出力した後に前記FIFO動作を停止する

様に指令する信号を前記FIFOバッファ部の前記制御端子に出力すると共に、前記記録停止制御コードの受信時に前記FIFOバッファ部に入力されている前記MPEGデータの全てを記録した後に前記記録動作を停止する様に指令する信号を前記データ記録部の前記制御端子に出力することを特徴とする、MPEGデータ記録装置。

【請求項3】 請求項2記載のMPEGデータ記録装置であって、

前記IEEE1394インターフェースは、前記MPEGデータの基準となるクロックを生成して前記MPEGデータと共に前記クロックを前記出力端子より出力し、

前記MPEGデータ検出部は、前記MPEGデータ及び前記クロックを受信し、前記クロックに同期して前記MPEGデータを検出することで、一定周期毎に特定のデータパターンが現れる否かを検出し、前記特定のデータパターンが現れるときに前記データ検出信号を出力することを特徴とする、

MPEGデータ記録装置。

【請求項4】 請求項2記載のMPEGデータ記録装置であって、

前記IEEE1394インターフェースは、受信した信号が前記MPEGデータであることを示すMPEGデータ有効信号を生成して前記MPEGデータと共に前記MPEGデータ有効信号を前記出力端子より出力し、

前記MPEGデータ検出部は、受信した前記MPEGデータ有効信号に基づいて、前記MPEGデータが有効に存在するか否かを検出することを特徴とする、

MPEGデータ記録装置。

【請求項5】 請求項2記載のMPEGデータ記録装置であって、

前記MPEGデータ検出部は、前記MPEGデータに同期する信号の有無を検出し、前記同期信号が一定周期毎に現れる状態を検出することにより、前記MPEGデータが有効に存在すると判断して前記データ検出信号を出力することを特徴とする、

MPEGデータ記録装置。

【請求項6】 請求項2記載のMPEGデータ記録装置であって、

前記IEEE1394インターフェースの前記出力端子に接続された入力端子を有し、前記MPEGデータより、単位時間当たりに入力されるデータ量をデータレート情報として検出するデータレート検出部を更に備えており、

前記バッファ制御部の前記入力端子は前記データレート検出部の出力端子にも接続されており、

前記バッファ制御部は、ユーザーが前記外部装置上の制御パネルを操作して記録開始操作の指令を発してから前記記録制御コードを受信するまでの遅延時間を有しており、

前記バッファ制御部は、前記データ検出信号及び前記データレート情報の受信に応じて、前記遅延時間と前記データレート情報との乗算を行って前記FIFOバッファ部に蓄積・更新すべきデータ量を算出すると共に、算出されたデータ量に基づいて前記FIFOバッファ部のリードポインタ及びライトポインタのアドレスを決定した上で、決定されたアドレスを前記FIFOバッファ部に設定することを特徴とする、

MPEGデータ記録装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタルVTR等のMPEGデータ記録装置に係わるものであり、より詳しくは、IEEE1394インターフェース回路（以後、IEEE1394インターフェースと称す）を介して外部より入力されるMPEGデータ（以後、MPEGデータとは、MPEG-TSデータ又はMPEG-PTSデータの何れか一方を意味する）の記録制御に関するものである。

【0002】

【従来の技術】

従来のMPEGデータ記録装置について、D-VHS装置を例として、図8に基づき説明する。

【0003】

ここで、図8は、D-VHS装置のシステムの中の、IEEE1394ネットワークを介して入力されたMPEGデータを記録する際に動作する部分を抜粋して図示したブロック図（prior art）である。

【0004】

図 8 において、参照符号 1 は、IEEE1394 ネットワーク 1 0 0 を介して DTV (Digital TV) 1 2 と接続された IEEE1394 インターフェース (リアルタイム伝送の機能を備えたシリアルインターフェース回路) であり、IEEE1394 インターフェース 1 は、AV/C コマンド等の非同期 (asynchronous) データ及び、MPEG-パースナルトランスポートストリーム (PTS) 又は MPEG-トランスポートストリーム (TS) 等の同期 (isochronous) データを、DTV 1 2 との間でやりとりする。2 は、IEEE1394 インターフェース 1 から出力される MPEG データを取り込み、取り込んだ MPEG データを D-VHS データフォーマットのデータに変換してデータの記録を行う D-VHS データ処理部ないしはデータ記録部である。又、3 は、D-VHS データ処理部 2 で変換された D-VHS データに誤り訂正符号 (ECC: Error Correction Code) を付加する ECC 処理部である。又、4 は、ECC 処理時に D-VHS データを一時保管するためのバッファメモリである。又、5 は、ECC 処理部 3 で ECC を付加された D-VHS データを、磁気テープ上に記録可能な記録信号に D/A 変換する記録信号処理部である。又、6 は記録信号を増幅するための記録アンプであり、7 は増幅された記録信号を磁気テープ上に記録するための記録ヘッドである。又、8 は記録信号がそこに記録される磁気テープであり、9 は磁気テープ 8 の走行速度を調整するためのモータドライバである。又、1 0 は、IEEE1394 インターフェース 1 から出力される MPEG データに基づき、単位時間あたりに入力されるデータ量 (データレート) を検出するためのデータレート検出部である。又、1 1 は、データレート検出部 1 0 により検出された入力 MPEG データのデータレートに基づき、記録モードを適応的に切り替えて両部 5、9 を制御するための記録モード制御部である。これらの構成要素 1 ~ 1 1 を含む部分は、MPEG データ記録装置の一部を構成している。

【0 0 0 5】

他方、1 2 は、IEEE1394 ネットワーク 1 0 0 を介して、上記の MPEG データ記録装置と接続される、外部のデジタルテレビ (DTV) である。

【0 0 0 6】

以下では、従来の MPEG データ記録装置の動作について、記載する。まず、DTV 1 2 から IEEE1394 ネットワーク 1 0 0 を介して D-VHS 装置内に入力される、分散した MPEG データは、IEEE1394 インターフェース 1 によって受信され、IEEE1394 イ

ンターフェース 1 は受信した MPEG データの組み直しを行って、組み直し後の MPEG データを D-VHS データ処理部 2 とデータレート検出部 1 0 とに供給する。

【 0 0 0 7 】

次に、D-VHS データ処理部（データ記録部）2 は、受信した MPEG データを D-VHS 規格に準拠したデータフォーマットのデータに変換して、データの並び替え及び記録を行った上で、その記録した D-VHS データを ECC 処理部 3 へ出力する。

【 0 0 0 8 】

次に、ECC 処理部 3 は、DVHS 規格のデータフォーマットに変換された MPEG データ（D-VHS データ）を一旦バッファメモリ 4 に格納し、その後、バッファメモリ 4 より読み出した D-VHS データに対して誤り訂正符号を付加した上で、付加後の D-VHS データを記録信号処理部 5 へ出力する。

【 0 0 0 9 】

次に、記録信号処理部 5 は、受信した D-VHS データを磁気テープ上に記録するためのパーシャルレスポンス信号処理等（PRML: Partial Response Maximum Likelihood）を D-VHS データに対して施し、PRML 処理後の D-VHS データを記録信号として記録アンプ 6 へ出力する。

【 0 0 1 0 】

記録アンプ 6 は、受信した記録信号を増幅して、増幅された記録信号を磁気ヘッド 7 へ出力する。そして、磁気ヘッド 7 は、受信した増幅された記録信号を磁気テープ 8 上に記録する。

【 0 0 1 1 】

他方、データレート検出部 1 0 は、受信した MPEG データに基づき入力データのデータレートを検出し、その検出結果を記録モード制御部 1 1 へ伝える。これを受けて、記録モード制御部 1 1 は、記録モード検出結果に基づき、入力データを記録するために十分であり、且つ、テープ消費量を最小に抑えられる適切な記録モードを選択し、この選択した記録モードで記録を行うための制御を、即ち、モータドライバ 9 によるテープ走行速度の制御、記録信号処理部 5 による記録信号フォーマット、及びヘッダデータ等の制御を行う。

【 0 0 1 2 】

ここで、図 9 は、ユーザーが DTV 1 2 の画面上の制御パネル表示を用いて記録操作を行った場合に於ける、DTV 1 2 と MPEG データ記録装置との間で行われる通信の一例を示す概念図 (prior art) である。

【 0 0 1 3 】

図 9 に示す様に、ユーザーが DTV 1 2 を操作して受信中のデジタル放送 (MPEG データ) を MPEG データ記録装置に記録しようとする場合、先ず最初に、ユーザーは、DTV 1 2 に備わった制御パネル表示を用いて、IEEE1394 ネットワーク 1 0 0 を介した DTV 1 2 と MPEG データ記録装置との接続を確立する。一般的に、両機器間で IEEE1394 接続が確立されると、両者間に同期データに関する入・出力の経路 (IEEE1394 上の isochronous データ用チャンネル) が形成され、DTV 1 2 は直ちに受信中の MPEG データをそれ自身の出力経路に配信し始め、その結果、IEEE1394 インターフェース 1 は配信中の MPEG データを受信する。

【 0 0 1 4 】

しかしながら、この段階では、MPEG データ記録装置は記録動作を開始しておらず、IEEE1394 接続の確立後に、ユーザーが上記コントロールパネル表示等によって記録操作 (記録ボタンの押下等) を行った後に、MPEG データ記録装置は記録動作を開始することになる。

【 0 0 1 5 】

ここで、ユーザーの記録操作は、基本的に、IEEE1394 ネットワーク 1 0 0 上の asynchronous データ用経路を用いた記録制御コードの送信により行われるが、この記録制御コード自体の送信に前後して、MPEG データ記録装置と DTV 1 2 との間では、互いの状態及び状況を確認しあうための通信が行われる。その理由は、例えば MPEG データ記録装置に記録媒体が挿入されているか否か、又は MPEG データ記録装置が記録動作に移行可能な状態にあるか否かといった様な確認を記録動作移行前に行う必要があるためである。これらの一連の確認動作のために、ユーザが記録操作 (記録ボタンの押下等) を行ってから実際に記録動作が開始されるまでには、ある程度のタイムラグが生じる。

【 0 0 1 6 】

【発明が解決しようとする課題】

上記の通り、従来のMPEGデータ記録装置では、ユーザーが記録を意図して操作した後に、制御データのやりとり等による通信のための処理時間が必要となり、ある程度時間的に遅れた時点からしか記録動作を開始できないと言う問題点がある。

【 0 0 1 7 】

本発明は、上述のような課題を解消するためになされたものであり、その目的とするところは、ユーザーが記録を意図した時点から出来る限り素早く記録動作を開始できるMPEGデータ記録装置を得ることにある。

【 0 0 1 8 】

【課題を解決するための手段】

請求項1に係る発明は、MPEGデータ記録装置であって、外部装置と接続された入力端子を有し、前記外部装置から出力されるMPEGデータ及び前記MPEGデータの受信後に遅れて前記外部装置から出力される記録制御コードを受信して、少なくとも前記MPEGデータ及び前記記録制御コードを出力端子より出力するIEEE1394インターフェースと、前記IEEE1394インターフェースの前記出力端子に接続された入力端子を有し、前記MPEGデータが有効に存在するか否かを検出して、存在するときにはデータ検出信号をその出力端子より出力するMPEGデータ検出部と、前記IEEE1394インターフェースの前記出力端子に接続された入力端子と制御端子とを有し、前記MPEGデータを一時記憶するFIFOバッファ部と、前記FIFOバッファ部の出力端子に接続された入力端子と制御端子とを有し、前記FIFOバッファ部が出力する前記MPEGデータを記録するデータ記録部と、前記IEEE1394インターフェースの前記出力端子及び前記MPEGデータ検出部の前記出力端子に接続された入力端子を有し、前記データ検出信号の受信に応じて、FIFO動作の開始を指令する信号を前記FIFOバッファ部の前記制御端子に出力し且つ記録動作の停止を指令する信号を前記データ記録部の前記制御端子に出力すると共に、前記記録制御コードの受信に応じて、前記MPEGデータの読み出しを指令する信号を前記FIFOバッファ部の前記制御端子に出力し且つ前記記録動作の開始を指令する信号を前記データ記録部の前記制御端子に出力するバッファ制御部とを備えることを特徴とする。

【 0 0 1 9 】

請求項 2 に係る発明は、請求項 1 記載の MPEG データ記録装置であって、前記 IE EE1394 インターフェースは、前記記録制御コードの受信後に遅れて前記外部装置から出力される記録停止制御コードをも受信して出力し、前記バッファ制御部は、前記記録停止制御コードの受信に応じて、前記記録停止制御コードの受信時に前記 FIFO バッファ部に入力されている前記 MPEG データの全てを前記データ記録部の前記入力端子に出力した後に前記 FIFO 動作を停止する様に指令する信号を前記 FIFO バッファ部の前記制御端子に出力すると共に、前記記録停止制御コードの受信時に前記 FIFO バッファ部に入力されている前記 MPEG データの全てを記録した後、前記記録動作を停止する様に指令する信号を前記データ記録部の前記制御端子に出力することを特徴とする。

【 0 0 2 0 】

請求項 3 に係る発明は、請求項 2 記載の MPEG データ記録装置であって、前記 IE EE1394 インターフェースは、前記 MPEG データの基準となるクロックを生成して前記 MPEG データと共に前記クロックを前記出力端子より出力し、前記 MPEG データ検出部は、前記 MPEG データ及び前記クロックを受信し、前記クロックに同期して前記 MPEG データを検出することで、一定周期毎に特定のデータパターンが現れる否かを検出し、前記特定のデータパターンが現れるときに前記データ検出信号を出力することを特徴とする。

【 0 0 2 1 】

請求項 4 に係る発明は、請求項 2 記載の MPEG データ記録装置であって、前記 IE EE1394 インターフェースは、受信した信号が前記 MPEG データであることを示す MPEG データ有効信号を生成して前記 MPEG データと共に前記 MPEG データ有効信号を前記出力端子より出力し、前記 MPEG データ検出部は、受信した前記 MPEG データ有効信号に基づいて、前記 MPEG データが有効に存在するか否かを検出することを特徴とする。

【 0 0 2 2 】

請求項 5 に係る発明は、請求項 2 記載の MPEG データ記録装置であって、前記 MPEG データ検出部は、前記 MPEG データに同期する信号の有無を検出し、前記同期信号が一定周期毎に現れる状態を検出することにより、前記 MPEG データが有効に存

在すると判断して前記データ検出信号を出力することを特徴とする。

【 0 0 2 3 】

請求項 6 に係る発明は、請求項 2 記載の MPEG データ記録装置であって、前記 IE EE1394 インターフェースの前記出力端子に接続された入力端子を有し、前記 MPEG データより、単位時間当たりに入力されるデータ量をデータレート情報として検出するデータレート検出部を更に備えており、前記バッファ制御部の前記入力端子は前記データレート検出部の出力端子にも接続されており、前記バッファ制御部は、ユーザーが前記外部装置上の制御パネルを操作して記録開始操作の指令を発してから前記記録制御コードを受信するまでの遅延時間を有しており、前記バッファ制御部は、前記データ検出信号及び前記データレート情報の受信に応じて、前記遅延時間と前記データレート情報との乗算を行って前記 FIFO バッファ部に蓄積・更新すべきデータ量を算出すると共に、算出されたデータ量に基づいて前記 FIFO バッファ部のリードポインタ及びライトポインタのアドレスを決定した上で、決定されたアドレスを前記 FIFO バッファ部に設定することを特徴とする。

【 0 0 2 4 】

【発明の実施の形態】

以下、本発明を、その実施の形態を示す図面に基づいて具体的に説明する。

【 0 0 2 5 】

(実施の形態 1)

図 1 乃至図 3 を用いて、本発明の実施の形態 1 に係る MPEG データ記録装置の構成及び動作を説明する。

【 0 0 2 6 】

図 1 は、本実施の形態に係る MPEG データ記録装置の構成を示すブロック図である。ここでは、MPEG データ記録装置の一例として、D-VHS 装置が記載されており、又、システムの一例として、衛星モード (DVB) が適用される場合が記載されている。図 1 において、図 8 と同一の参照符号のもの 1 ~ 12 は、同一の構成要素を示す。図 1 と図 8 とを比較して、本実施の形態の特徴点は、MPEG データ検出部 13、FIFO バッファ部 14 及びバッファ制御部 15 を設けた点にある。

【 0 0 2 7 】

先ず、IEEE1394インターフェース1は、IEEE1394ネットワーク100を介して外部装置であるDTV12と接続された入力端子を有しており、DTV12から出力される分散したMPEGデータを受信して、受信したMPEGデータを組み直し、組み直されたMPEGデータをその出力端子より出力する。又、IEEE1394インターフェース1は、上記MPEGデータの受信後に遅延してDTV12から出力される記録制御コードを受信して、受信した記録制御コードをその出力端子より出力する。更に、IEEE1394インターフェース1は、組み直し後のMPEGデータの基準となるクロック（基準クロック）をも生成して、同クロックをその出力端子より出力する。

【0028】

これに対して、MPEGデータ検出部13は、IEEE1394インターフェース1の上記出力端子に接続された入力端子を有しており、IEEE1394インターフェース1より出力されるMPEGデータ及びクロックを受信した上で、MPEGデータ及びクロックに基づいてMPEGデータが有効に存在するか否かを検出し、MPEGデータが有効に存在するときには1ビット信号のデータ検出信号をその出力端子より出力する。換言すれば、MPEGデータ検出部13は、MPEGデータ及びクロックに基づいて、一定周期毎に特定のデータパターンが現れるのを検出することで、より具体的には、MPEGデータパケットの周期（188バイト）毎に同期バイト47H（8ビット信号）の信号が出現するのを検出することで、実際に入力したMPEGデータの有無を検出している。

【0029】

又、FIFOバッファ部14は、IEEE1394インターフェース1の上記出力端子に接続された入力端子と、バッファ制御部15が出力する第1制御信号を受信するための制御端子とを有しており、第1制御信号による書き込み／読み出しの制御の下で、IEEE1394インターフェース1より出力されるMPEGデータを一時記憶する機能を備えている。

【0030】

又、データ記録部ないしはD-VHS信号処理部2は、FIFOバッファ部14の出力端子に接続された入力端子と、バッファ制御部15が出力する第2制御信号を受信するための制御端子とを有しており、第2制御信号による記録動作の開始／停

止の制御の下で、FIFOバッファ部 1 4 が出力する一時保管されていた MPEG データを記録する。

【 0 0 3 1 】

又、バッファ制御部 1 5 は、MPEG データ検出部 1 3 から出力されるデータ検出信号のレベルに基づき、FIFO バッファ部 1 4 のクリア、FIFO 動作の開始及びその停止の制御を行い、D-VHS 信号処理部 2 への MPEG データの入力を制御する機能を備えている。即ち、バッファ制御部 1 5 は、IEEE1394 インターフェース 1 の出力端子に接続された第 1 入力端子及び MPEG データ検出部 1 3 の出力端子に接続された第 2 入力端子を有しており、(a) 受信したデータ検出信号のレベルが MPEG データが有効に存在することを示しているときには、当該データ検出信号の入力タイミングに応じて、クリア動作の実行及び FIFO 動作 (MPEG データの書き込み) の開始を指令する第 1 制御信号を FIFO バッファ部 1 4 の制御端子に出力し、且つ、記録動作の停止を指令する第 2 制御信号をデータ記録部 2 の制御端子に出力する。しかも、バッファ制御部 1 5 は、(b) 記録制御コードを受信するときには、当該記録制御コードの入力タイミングに応じて、一時記憶されている MPEG データの読み出しを指令する第 1 制御信号を FIFO バッファ部 1 4 の制御端子に出力し、且つ、FIFO バッファ部 1 4 から出力される一時記憶されていた MPEG データの記録動作の開始を指令する第 2 制御信号をデータ記録部 2 の制御端子に出力する。更に、バッファ制御部 1 5 は、(c) 記録停止制御コードを受信するときには、当該記録停止制御コードの入力タイミングに応じて、記録停止制御コードの受信時に FIFO バッファ部 1 4 内に既に一時記憶されている MPEG データの全てをデータ記録部 2 の入力端子に出力した後に FIFO 動作を停止する様に指令する第 1 制御信号を FIFO バッファ部 1 4 の制御端子に出力すると共に、記録停止制御コードの受信時に FIFO バッファ部 1 4 内に既に一時記憶されている上記 MPEG データの全てを記録した後に記録動作を停止する様に指令する第 2 制御信号をデータ記録部 2 の制御端子に出力する。

【 0 0 3 2 】

図 2 は、図 1 の MPEG データ検出部 1 3 の内部構成を示すブロック図である。図 2 に示す通り、MPEG データ検出部 1 3 は、47H データ検出部 1 6、パケット周期

カウンタ 1 7 及びデータ入力判定部 1 8 より成る。各部 1 6 ~ 1 8 は、次の機能を有する。

【 0 0 3 3 】

先ず、47Hデータ検出部 1 6 は、IEEE1394インターフェース 1 が出力する MPEG データを受信する第 1 入力端子と、IEEE1394インターフェース 1 が生成・出力するクロックを受信する第 2 入力端子とを備えており、MPEGデータの基準となるクロックに基づいて、受信したMPEGデータの中から、MPEGデータパケットの先頭を示す同期ワード（Syncword）を、即ち、47H（Hは16進コードを意味する）の値を有する同期バイト（8ビットの信号）を検出し、同期バイト47Hが検出されたときに1ビットの検出信号を生成し、出力する。

【 0 0 3 4 】

これに対して、パケット周期カウンタ 1 7 は、47Hデータ検出部 1 6 より出力される検出信号の間隔（同期バイト47Hと次の同期バイト47Hとの時間差）を上記クロックに基づいてカウントし、そのカウント値を出力する。

【 0 0 3 5 】

そして、データ入力判定部 1 8 は、パケット周期カウンタ 1 7 より出力されるカウント値を監視しており、そのカウント値がMPEGデータパケットの1周期（1 8 8 バイト）に相当するカウント値（188）に等しいと判定した場合（1周期毎に特定のデータパターンが出現した場合）に、従って、入力したMPEGデータが有効に存在していることを判定した場合に、1ビットのMPEGデータ検出信号（以後、単にデータ検出信号と称する）を出力する。

【 0 0 3 6 】

次に、本実施の形態のMPEGデータ記録装置が、IEEE1394インターフェース 1 から出力されるMPEGデータを検出し、MPEGデータの記録を行い、更に、当該記録を停止するという一連の動作を説明する。

【 0 0 3 7 】

ユーザーがDTV 1 2 を操作して、受信中のデジタル放送（MPEGデータ）をMPEGデータ記録装置に記録しようとする場合、先ずユーザーは、DTV 1 2 に備わった制御パネル表示を用いて、IEEE1394ネットワーク 1 0 0 を介したDTV 1 2 とMPEG

データ記録装置との接続を確立する。一般的に、IEEE1394接続が確立されると、両者の間に入・出力のデータ経路が形成され、DTV 1 2 は受信中のMPEGデータを自身の出力経路上に配信し始める。その結果、IEEE1394インターフェース 1 は、IEEE1394ネットワーク 1 0 0 上のデータ経路を介して、配信中のMPEGデータを受信する。但し、この段階では、MPEGデータ記録装置は記録動作を開始しておらず、上記IEEE1394接続の確立後にユーザーが上記コントロールパネル表示等により記録開始操作（記録ボタンの押下など）を行った時点以降から、MPEGデータ記録装置は記録動作を開始する。尚、以下では、「記録開始操作」を単に「記録操作」と称する。

【 0 0 3 8 】

図 1 及び図 2 において、IEEE1394接続の確立後に引き続いて行われる受信中のMPEGデータの配信後、直ちに（その瞬間から）、MPEGデータ検出部 1 3 は、IEEE 1394インターフェース 1 より、入力MPEGデータと、その基準となるクロックとを受信する。その結果、47Hデータ検出部 1 6 は、上記のクロックに基づいて、入力MPEGデータの中から、MPEGデータパケットの先頭を示す同期ワードを、即ち、47H（Hは16進コードを意味する）の値をとる同期バイトを検出し、この同期バイト47Hが検出されたときに検出信号を生成し、検出信号をパケット周期カウンタ 1 7 へ出力する。この検出信号を受けて、パケット周期カウンタ 1 7 は、47Hデータ検出部 1 6 より出力された検出信号の間隔を、上記の基準クロックに基づいてカウントし、そのカウント値をデータ入力判定部 1 8 へ出力する。データ入力判定部 1 8 は、パケット周期カウンタ 1 7 より出力されたカウント値を監視しており、受信したカウント値がMPEGデータパケットの 1 周期に相当するカウント値（188）である場合に、MPEGデータ検出信号をバッファ制御部 1 5 へ出力する。

【 0 0 3 9 】

図 3 は、ユーザーがDTV 1 2 の画面上の制御パネル表示を用いて記録操作（記録ボタンの押下など）を行った場合に於ける、DTV 1 2 と本MPEGデータ記録装置との間の通信の一例を示す概念図である。図 3 に示す様に、記録操作前のDTV 1 2 からのMPEGデータの出力開始に応じてMPEGデータ検出部 1 3 がMPEGデータ検出信号を出力すると、バッファ制御部 1 5 は、MPEGデータ検出信号の入力タイミン

グに応じて、FIFOバッファ部 1 4 をバッファクリアした上でFIFO動作を開始する様に指令する第 1 制御信号をFIFOバッファ部 1 4 に出力し、それに応じて、FIFOバッファ部 1 4 はバッファクリアを行った後に、FIFO動作を開始する。これにより、IEEE1394インターフェース 1 が受信して出力するMPEGデータは、順次にFIFOバッファ部 1 4 内に一時的に格納される。尚、この時点では、バッファ制御部 1 5 は、D-VHSデータ処理部 2 に対して、FIFOバッファ部 1 4 の出力データの入力停止を指令する第 2 制御信号を出力しているため、D-VHSデータ処理部 2 はFIFOバッファ部 1 4 の出力データを入力することではなく、従って記録動作を開始してはいない。

【 0 0 4 0 】

ユーザーがコントロールパネル表示等を用いて記録操作を行うと、MPEGデータ記録装置ないしはIEEE1394インターフェース 1 は、MPEGデータの送信開始時よりも遅れてDTV 1 2 から送信されてくる記録制御コードを受信し、受信された記録制御コードは、IEEE1394インターフェース 1 よりバッファ制御部 1 5 へ伝達される。これを受けて、バッファ制御部 1 5 は、記録制御コードの入力タイミングに応じて、一時記憶されているMPEGデータを直ちに出力する様に指令する第 1 制御信号をFIFOバッファ部 1 4 へ出力し、且つ、FIFOバッファ部 1 4 の出力データを直ちに入力する様に指令する第 2 制御信号をD-VHSデータ処理部 2 へ出力する。この制御により、FIFOバッファ部 1 4 は一時記憶しているMPEGデータを出力する動作を直ちに行うと共に、D-VHSデータ処理部 2 はFIFOバッファ部 1 4 の出力データの入力動作を直ちに開始して、記録動作を開始する。

【 0 0 4 1 】

次に、MPEGデータ記録装置が以上の手順でMPEGデータの記録を開始し、その記録動作を続行している最中に、ユーザーが上記コントロールパネル表示等を用いて記録停止操作を行った場合に於ける、MPEGデータ記録装置の記録停止動作について記載する。

【 0 0 4 2 】

先ず、ユーザーが記録停止操作を行った場合には、MPEGデータ記録装置は、DTV 1 2 から送信されてくる記録停止制御コードを受信し、IEEE1394インターフェ

ース 1 は、記録停止制御コードをバッファ制御部 1 5 へ伝達する。この記録停止制御コードの受信に応じて、バッファ制御部 1 5 は、記録停止制御コードを受信した時点でFIFOバッファ部 1 4 内に既に入力されているMPEGデータの全てがD-VHSデータ処理部 2 へ出力された段階で、FIFOバッファ部 1 4 のデータ出力動作を停止する様に指令する第 1 制御信号をFIFOバッファ部 1 4 に出力し、且つ、記録停止制御コードを受信した時点でFIFOバッファ部 1 4 内に既に入力されていたMPEGデータの全てを記録した段階で記録動作を停止する様に指令する第 2 制御信号をD-VHSデータ処理部 2 に出力する。この制御により、FIFOバッファ部 1 4 は、記録停止制御コードを受信した時点でFIFOバッファ部 1 4 内に既に入力されているMPEGデータの全てを出力した後に、直ちにデータ出力動作を停止すると共に、D-VHSデータ処理部 2 は、記録停止制御コードを受信した時点でFIFOバッファ部 1 4 内に既に入力されていたMPEGデータの全てを記録した後に、記録動作を直ちに停止する。

【 0 0 4 3 】

尚、各部 3 ～ 1 1 の動作は、図 8 の従来技術に於ける対応する各部の動作と同一である。

【 0 0 4 4 】

又、本実施の形態では、同期バイトの検出を利用することにより、一定周期毎に出現する特定のデータパターンを検出していたが、同期バイトの検出に代えて、MPEGデータパケット内の他の信号を利用する様にしても良い。

【 0 0 4 5 】

以上の様に、本実施の形態に係るMPEGデータ記録装置によれば、IEEE1394インターフェース 1 を介して入力されるMPEGデータを、ユーザーの記録操作の以前より、FIFOバッファ部 1 4 に保管・更新し続けているので、ユーザーが記録操作を行った時点か、もしくはそれに近い時点から、MPEGデータを記録することができる。しかも、本装置によれば、ユーザーが記録停止操作を行った際には、ユーザーが記録停止操作を行った時点か、若しくはそれに近い時点で、MPEGデータの記録操作を停止することができる。

【 0 0 4 6 】

(実施の形態 2)

既述した通り、IEEE1394インターフェース 1 は、DTV 1 2 から送信されてくる分散した MPEG データを受信後に、受信した MPEG データを組み直した上で組み直し後の MPEG データを出力するが、その際に、現在の信号が MPEG データであることを示すフラグを、即ち、MPEG データ有効信号を生成・出力する。そこで、本実施の形態では、この MPEG データ有効信号を積極的に利用することで、MPEG データ検出部は、MPEG データの有無を確実に検出している。以下、本実施の形態に係る MPEG データ記録装置を、図 1 及び図 4 に基づき記載する。但し、本実施の形態の特徴点は MPEG データ検出部 1 3 の構成のみにあるので、図 1 中のそれ以外の構成要素の構成・動作については、それらの記載を割愛する。

【0047】

ここで、図 4 は、本実施の形態に係る MPEG データ検出部 1 3 の構成を示すブロック図である。図 4 において、クロック生成部 1 9 は、MPEG データ有効信号の検出時間ないしは持続時間（有効期間）及び消失時間（無効期間）を監視するために用いられるクロックを生成する部分である。又、有効信号監視・判定部 2 0 は、MPEG データ有効信号を受信する第 1 入力端子、上記クロックを受信する第 2 入力端子及び後述する期間基準信号を受信する第 3 入力端子を有しており、上記クロックに基づいて MPEG データ有効信号の持続時間及び消失時間を監視し、有効な MPEG データが入力されているか否かを判定する機能を有する。ここで、MPEG データ有効信号とは、既述した通り、MPEG データが有効に入力されていることを示す信号（フラグ）である。又、周期カウンタ 2 1 は、その内部に予め設定されている MPEG データ有効信号の消失時間の上限値を、有効信号監視・判定部 2 0 に対して、期間基準信号として、報知する部分である。

【0048】

次に、図 1 および図 4 に基づいて、図 4 の MPEG データ検出部 1 3 の動作について記載する。先ず、MPEG データ検出部 1 3 の入力端子には、IEEE1394 インターフェース 1 より、入力 MPEG データの有効領域を示す MPEG データ有効信号が入力される。これを受けて、有効信号監視・判定部 2 0 は、クロック生成部 1 9 から出力されるクロックに基づいて、MPEG データ有効信号の入力が認められなかった一定

以上の期間後に入力されたMPEGデータ有効信号を検出することで、周期カウンタ21をリセットする、その後、有効信号監視・判定部20は、上記クロックに基づいて、MPEGデータ有効信号の有効期間と無効期間とをカウントする。他方、周期カウンタ21は、上記有効期間と無効期間とに対応して予め設定された値を、即ち、MPEGデータ有効信号の有効期間の上限値を元にして期間基準信号を生成し、同信号を有効信号監視・判定部20へ出力する。この期間基準信号を受信して、有効信号監視・判定部20は、期間基準信号に基づき、有効期間が短すぎる場合ないしは無効期間が長すぎる場合を監視し、これらの状態を検知する場合以外は、MPEGデータが有効に存在するものと判断して1ビットのデータ検出信号を生成し、同信号をバッファ制御部15へ出力する。これによって、例えばユーザーがDTV12の電源をOFF状態にした様な場合又はユーザーがDTV12のチャンネルを切り換えた様な場合（この場合には無効期間が極端に長くなる）にまで、FIFOバッファ部14がMPEGデータの一時記憶動作を行ってしまうと言う事態を回避することが出来る。

【0049】

尚、本実施の形態に係るMPEGデータ記録装置においては、上記以外の動作は実施の形態1に係るMPEGデータ記録装置で記載した動作と同一である。

【0050】

以上の様に、本実施の形態によれば、IEEE1394インターフェース1を介して入力されるMPEGデータを、ユーザーの記録操作の以前より、FIFOバッファ部14に保管・更新し続けているので、ユーザーが記録操作を行った時点か、もしくはそれに近い時点から、MPEGデータを記録することができる。しかも、本装置によれば、ユーザーが記録停止操作を行った際には、ユーザーが記録停止操作を行った時点か、若しくはそれに近い時点で、MPEGデータの記録操作を停止することができる。

【0051】

(実施の形態3)

本実施の形態に係るMPEGデータ記録装置を、図1及び図5に基づき記載する。但し、本実施の形態の特徴点は、実施の形態2と同様に、MPEGデータ検出部13

の構成のみにあるので、図 1 中のそれ以外の構成要素の構成・動作については、それらの記載を割愛する。

【 0 0 5 2 】

ここで図 5 は、本実施の形態に係る MPEG データ検出部 1 3 の構成を示すブロック図である。図 5 において、同期信号監視・判定部 2 2 は、入力される MPEG データパケットの先頭に位置する同期データの位置を示す MPEG データ同期信号（同期バイト）を検出し、MPEG データ同期信号の発生間隔を監視し、有効な MPEG データが入力されているか否かを判定する部分である。尚、図 5 中、図 4 の参照符号と同一の番号を有するものは、図 4 中の対応する部分と同一の機能を有する機能単位である。

【 0 0 5 3 】

次に、図 1 及び図 5 に基づいて、本実施の形態に係る MPEG データ検出部 1 3 の動作について記載する。まず、MPEG データ検出部 1 3 には、IEEE1394 インターフェース 1 より、入力 MPEG データパケットの先頭を示す MPEG データ同期信号が入力される。これを受けて、同期信号監視・判定部 2 2 は、クロック発生部 1 9 から入力されるクロックに基づき、MPEG データ同期信号の入力が認められなかった一定以上の期間後に入力された MPEG データ同期信号を検出して、周期カウンタ 2 1 をリセットする。その後、同期信号監視・判定部 2 2 は、上記クロックに基づき、MPEG データ同期信号の検出間隔をカウントする。他方、周期カウンタ 2 1 は、MPEG データ同期信号との関係で予め設定された許容値（188 バイト）を有しており、この許容値を元にして期間基準信号を生成して同期信号監視・判定部 2 2 へ出力する。この信号を受けて、同期信号監視・判定部 2 2 は、期間基準信号に基づいて、MPEG データ同期信号の検出周期が許容値と較べて短すぎるか否かを検出し、上記検出周期が短すぎる場合以外は、MPEG データが有効に存在するものと判断して、1 ビットのデータ検出信号をバッファ制御部 1 5 へ出力する。これにより、何らかの原因で MPEG データの検出周期が短くなってしまった場合にまで、FIFO バッファ部 1 4 が MPEG データの一時記憶動作を行ってしまうと言う事態を回避することが出来る。

【 0 0 5 4 】

以上より、本実施の形態に係るMPEGデータ検出部13は、MPEGデータに同期するMPEGデータ同期信号の有無を検出し、当該同期信号が一定周期毎に現れる状態を検出することにより、MPEGデータが有効に存在すると判断してデータ検出信号を出力することを特徴とする。

【0055】

尚、本実施の形態に係るMPEGデータ記録装置においては、上記以外の動作は実施の形態1に係るMPEGデータ記録装置で記載した動作と同一である。

【0056】

以上の様に、本実施の形態によれば、IEEE1394インターフェース1を介して入力されるMPEGデータを、ユーザーの記録操作の以前より、FIFOバッファ部14に保管・更新し続けているので、ユーザーが記録操作を行った時点か、もしくはそれに近い時点から、MPEGデータを記録することができる。しかも、本装置によれば、ユーザーが記録停止操作を行った際には、ユーザーが記録停止操作を行った時点か、若しくはそれに近い時点で、MPEGデータの記録操作を停止することができる。

【0057】

(実施の形態4)

本実施の形態に係るMPEGデータ記録装置を、図6及び図7に基づき記載する。ここで、図7は、本実施の形態に係るMPEGデータ記録装置における、バッファ制御部及びFIFOバッファ部の構成を示すブロック図である。尚、図6において、実施の形態1に於ける図1の参照符号と同一の番号が付された機能単位1～13は、図1中の対応するものと同じの機能を有する。

【0058】

図6において、バッファ制御部15bは、図1のバッファ制御部15と同一の機能を有し、しかも、データレート検出部10の出力端子に接続された入力端子をも有しており、その結果、データレート検出部10からのデータレート情報に基づいて、FIFOバッファ部14bのリードポインタ及びライトポインタの値を更新する機能をも有する。又、FIFOバッファ部14bは、図1のFIFOバッファ部14と同一の機能を有し、且つ、バッファ制御部15bが出力するリードポインタ

及びライトポインタの各ポインタの値の更新を指令する制御信号に応じて、各ポインタ位置を変更する。

【 0 0 5 9 】

図 7 において、リード／ライトポインタ算出制御ユニット 2 3 は、入力されるデータレート情報に基づいて、FIFOバッファ部 1 4 b に保管・更新するデータ量を可変する部分である。

【 0 0 6 0 】

図 3、図 6 及び図 7 において、ユーザーが DTV 1 2 上の制御パネル表示を用いて MPEG データ記録装置と DTV 1 2 との接続操作を行った後、DTV 1 2 は MPEG データの出力を開始する。その結果、MPEG データ検出部 1 3 は、MPEG データの入力を検出し、その検出結果をデータ検出信号としてバッファ制御部 1 5 b へ伝える。と同時に、データレート検出部 1 0 によって検出された入力データレート情報も、バッファ制御部 1 5 b へ伝えられる。その結果、バッファ制御部 1 5 b は、得られたデータレート情報と、ユーザーの記録開始操作時からバッファ制御部 1 5 b が実際に記録制御コードを受信するまでの遅延時間とに基づいて、FIFO バッファ部 1 4 b へ蓄積・更新すべきデータ量の算出を行う。

【 0 0 6 1 】

例えば、HAVi (Home Audio Video Interoperability) を用いた MPEG データ記録装置の場合には、当該記録装置はそれ自身を制御するための制御コードの組み合わせ・順序 (コマンドフロー) を自分自身で規定できるため、ユーザーの記録開始操作時から実際に記録制御コードをバッファ制御部が受信するまでの動作フローを想定することができる。このため、その様な MPEG データ記録装置は上記遅延時間を予想することができるため、おおよそのデータ量を算出できる。

【 0 0 6 2 】

また、AV/C コマンドを用いた一般的な MPEG データ記録装置の場合であっても、開発段階で予め実測等を行うことにより、おおよその遅延時間を推定することが可能である。

【 0 0 6 3 】

以上の様に想定若しくは推定された遅延時間は、予めバッファ制御部 1 5 b 内

に設定される。

【0064】

そこで、バッファ制御部15bは、データ検出信号とデータレート情報との受信に応じて、遅延時間と入力データレートとの乗算により、FIFOバッファ部14bへ蓄積・更新すべきデータ量を算出し得る。

【0065】

次に、バッファ制御部15b内のリード／ライトポインタ算出・制御ユニット23は、算出されたデータ量に基づいて、リードポインタ及びライトポインタの各々のアドレスを決定し、決定された両アドレスを指令する第1制御信号をFIFOバッファ部14bのリードポインタ及びライトポインタに出力することで、決定された各アドレスをFIFOバッファ部14bに設定する。

【0066】

FIFOバッファ部14bは、設定されたポインタアドレスに基づいて、入力されるMPEGデータを蓄積・更新し、ユーザーの記録操作後にDTV12から送信される記録制御コードがバッファ制御部15bに於いて受信されるまでの期間、待機する。

【0067】

以降の動作は、本実施の形態1に於ける動作と同一である。

【0068】

以上の様に、本実施の形態によれば、IEEE1394インターフェース1より出力されるMPEGデータのデータレートを検出し、データ検出信号の入力に応じて、検出されたデータレートと、想定又は推定されるユーザーの記録操作から実動作までの遅延時間との積算を行うことにより、FIFOバッファ部14bの蓄積データ量を可変しているため、ユーザーの記録操作時点により一層近い時点からのMPEGデータの記録及び記録停止を可能とすることが出来る。

【0069】

【発明の効果】

本発明は、以上に記載したように構成されているので、以下に示す効果を奏する。

【 0 0 7 0 】

本発明の請求項 1 に係る MPEG データ記録装置は、IEEE1394 接続の確立により IEEE1394 インターフェースより出力される MPEG データを検出し、その結果、入力される MPEG データが有効に存在することが検出される場合には、ユーザーの記録開始操作に関わりなく、FIFO バッファ部内に MPEG データを入力して IEEE1394 インターフェースより記録制御コードが出力されるのを待機しており、ユーザーが記録開始操作を行った後に外部装置より出力される記録制御コードを IEEE1394 インターフェースが受信して出力する際には、それまでに予め保管しておいた FIFO バッファ部中のデータより記録を開始することとしているので、ユーザーが記録開始操作を行った時点か若しくはそれに近い時点より、MPEG データの記録を開始することが出来ると言う効果を奏する。

【 0 0 7 1 】

本発明の請求項 2 ないし 5 の各々に係る MPEG データ記録装置は、ユーザーが記録停止操作を行ったことにより外部装置が出力する記録停止制御コードを IEEE1394 インターフェースが受信して出力する際には、記録停止操作時点で FIFO バッファ部内に既に入力されている MPEG データまでを記録した上で、記録動作を停止することとしているので、ユーザーが記録停止操作を行った時点か、若しくはそれに近い時点で、MPEG データの記録を停止することが出来ると言う効果を奏する。

【 0 0 7 2 】

本発明の請求項 6 に係る MPEG データ記録装置は、IEEE1394 インターフェースより出力される MPEG データのデータレートを検出し、データ検出信号の入力に応じて、検出されたデータレートと、想定又は推定されるユーザーの記録操作から実動作までの遅延時間との積算を行うことにより、FIFO バッファ部の蓄積データ量を可変しているため、ユーザーの記録操作時点により一層近い時点からの MPEG データの記録及び記録停止を可能とすることが出来ると言う効果を奏する。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 ないし 3 に係る MPEG データ記録装置の構成を示すブロック図である。

【図 2】 本発明の実施の形態 1 に係る MPEG データ検出部の構成を示すブ

ック図である。

【図 3】 本発明の実施の形態 1 ないし 4 に於けるユーザー操作による MPEG データ記録装置の制御を示す概念図である。

【図 4】 本発明の実施の形態 2 に係る MPEG データ検出部の構成を示すブロック図である。

【図 5】 本発明の実施の形態 3 に係る MPEG データ検出部の構成を示すブロック図である。

【図 6】 本発明の実施の形態 4 に係る MPEG データ記録装置の構成を示すブロック図である。

【図 7】 本発明の実施の形態 4 に係る FIFO バッファ部とバッファ制御部との構成を示すブロック図である。

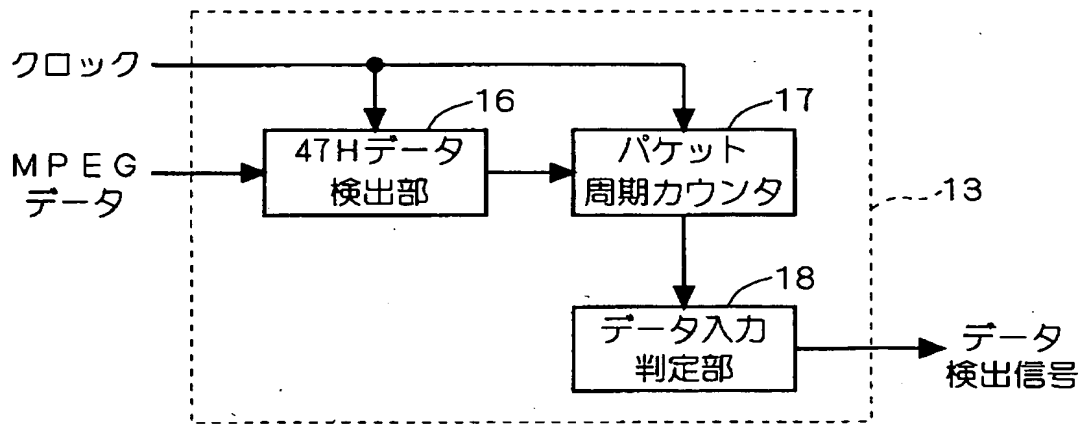
【図 8】 従来の MPEG データ記録装置の構成を示すブロック図である。

【図 9】 従来の MPEG データ記録装置におけるユーザー操作による制御を示す概念図である。

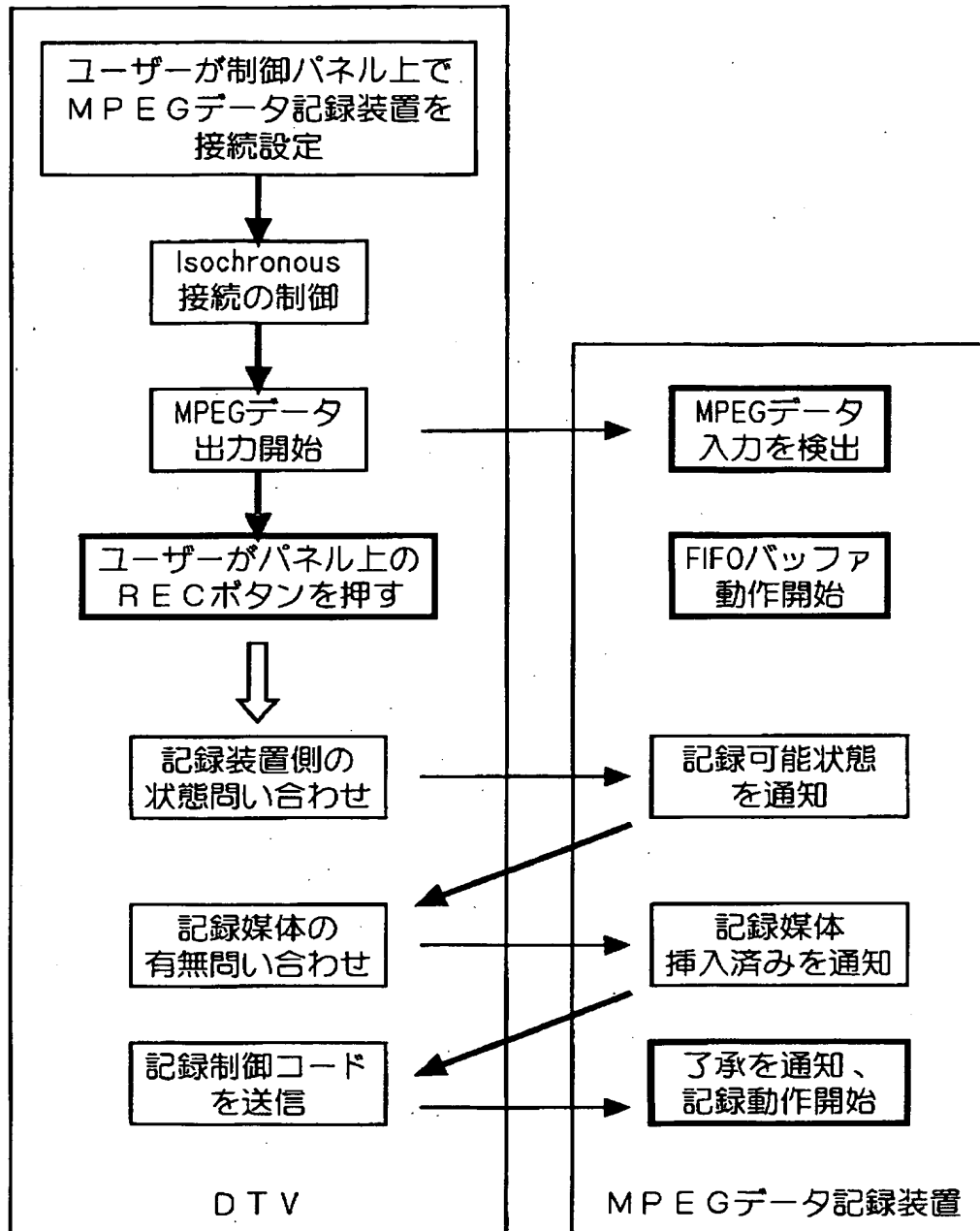
【符号の説明】

1 IEEE1394 インターフェース、2 D-VHS データ処理部（データ記録部）、3 ECC 処理部、4 バッファメモリ、5 記録信号処理部、6 記録アンプ、7 記録ヘッド、8 磁気テープ、9 モータードライバ、10 データレート検出部、11 記録モード制御部、12 DTV、13 MPEG データ検出部、14 FIFO バッファ部、14 b FIFO バッファ部、15 バッファ制御部、15 b バッファ制御部、16 47H データ検出部、17 パケット周期カウンタ、18 データ入力判定部、19 クロック生成部、20 有効信号監視・判定部、21 周期カウンタ、22 同期信号監視・判定部、23 リード／ライトポイント算出・制御ユニット。

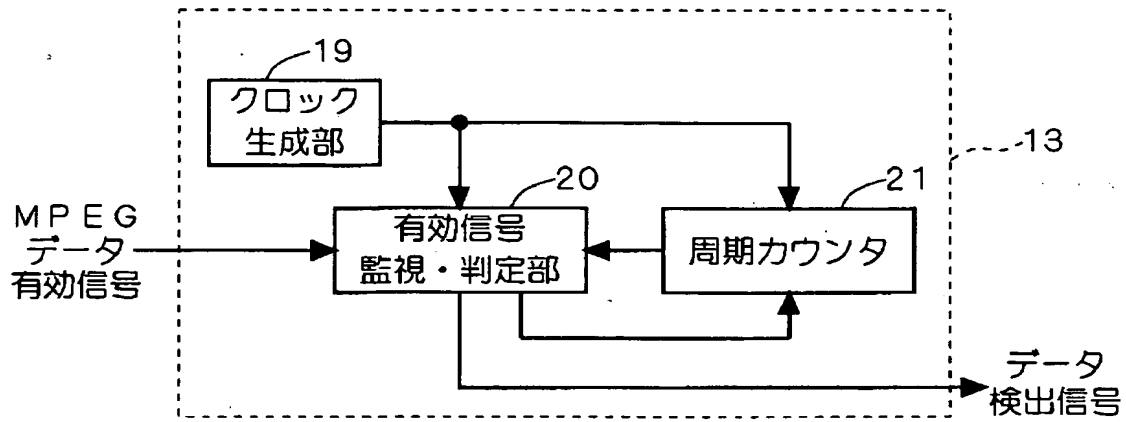
【図 2】



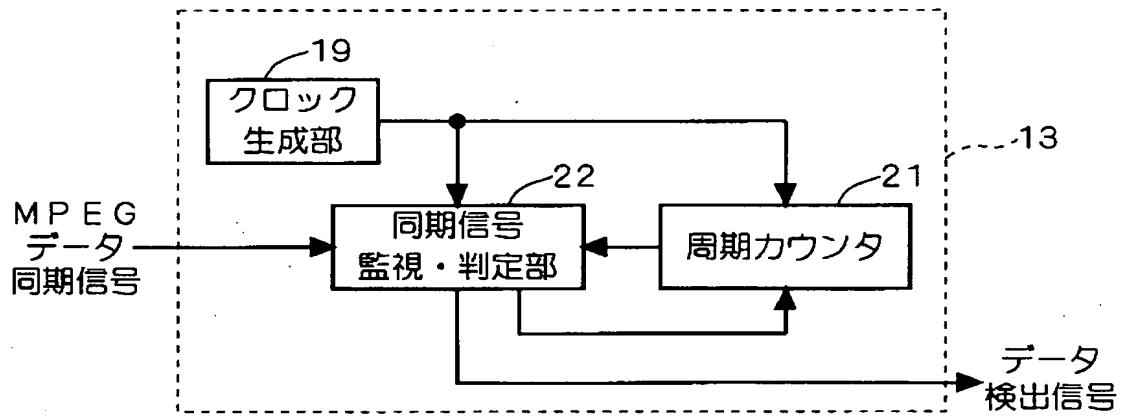
【図 3】



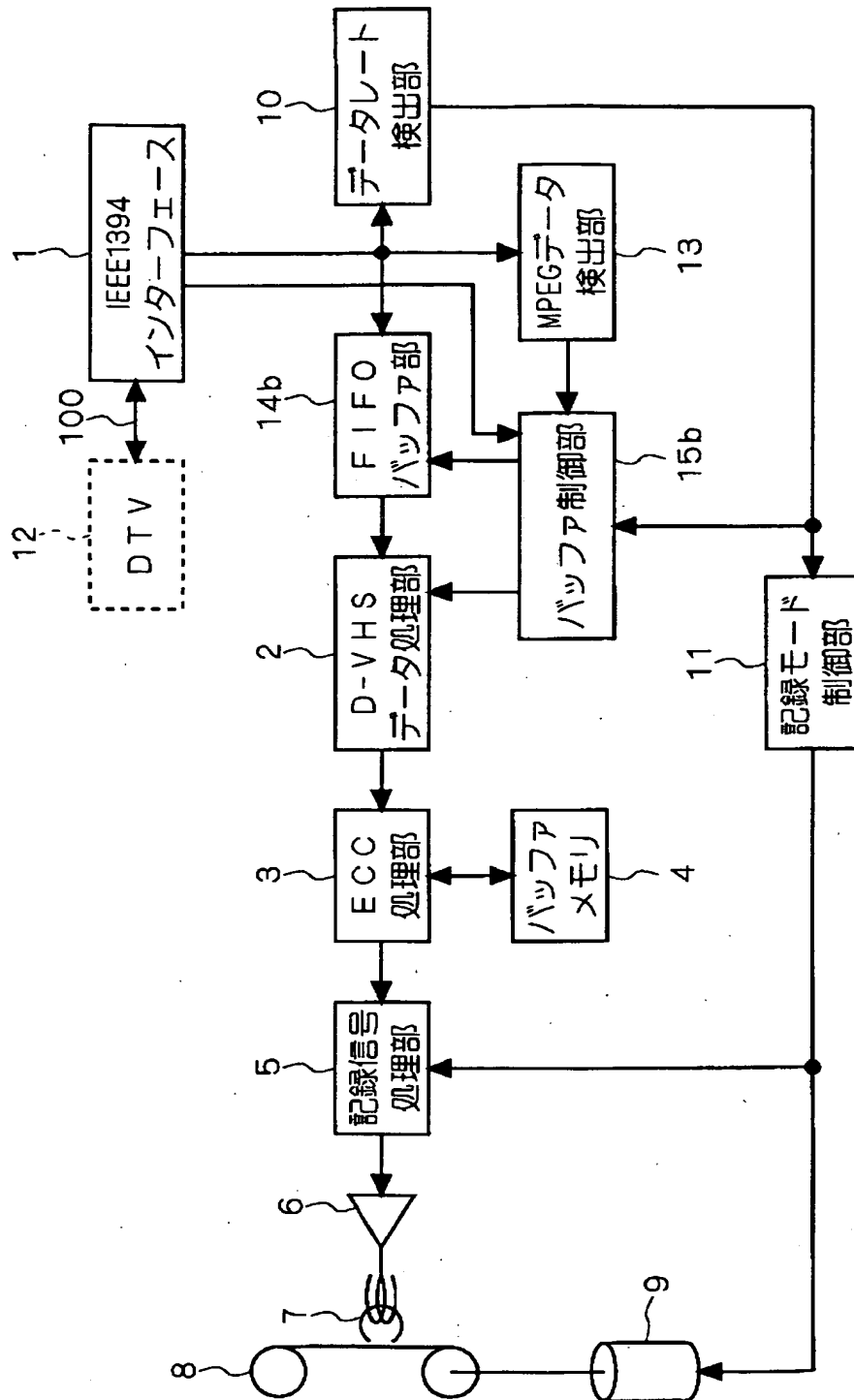
【図 4】



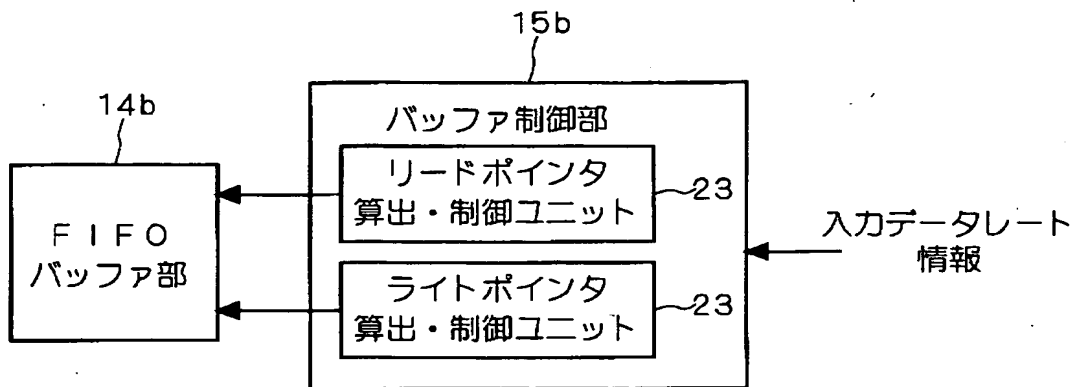
【図 5】



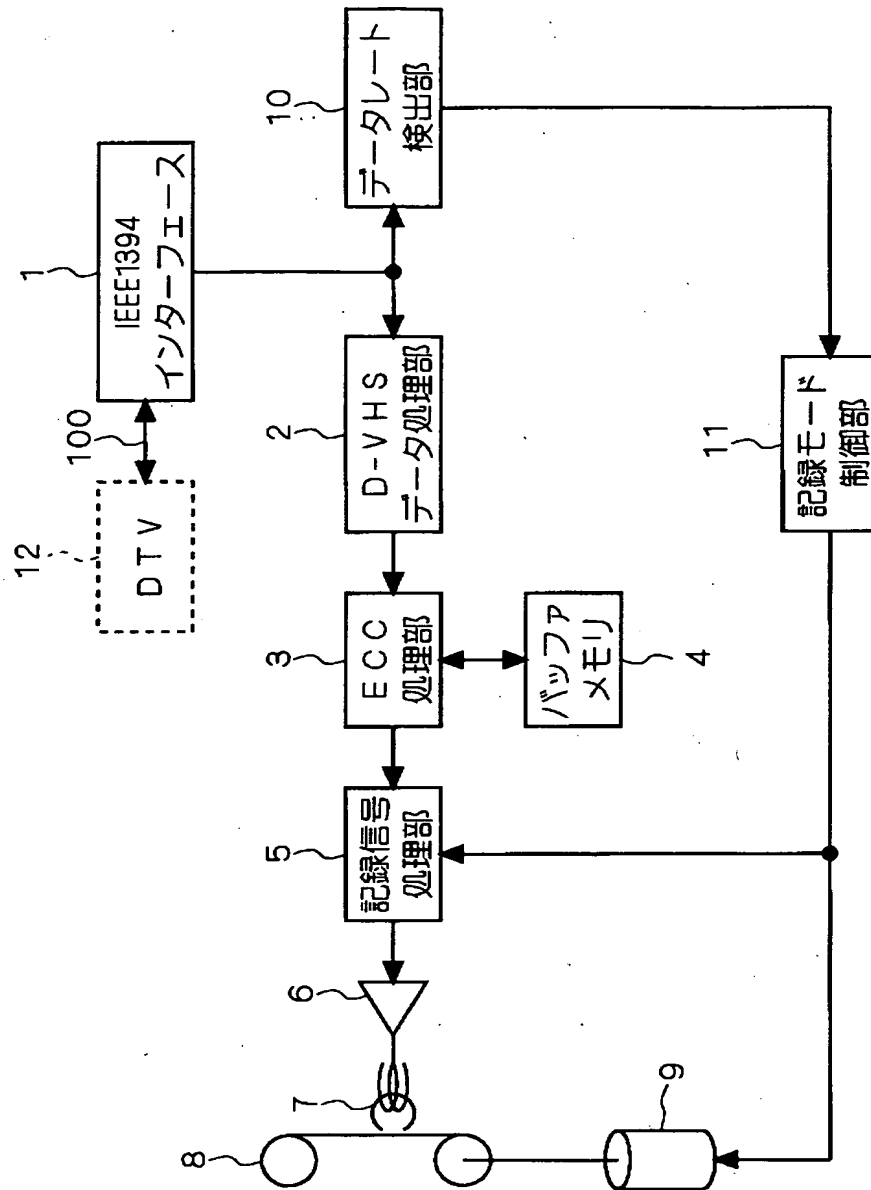
【図 6】



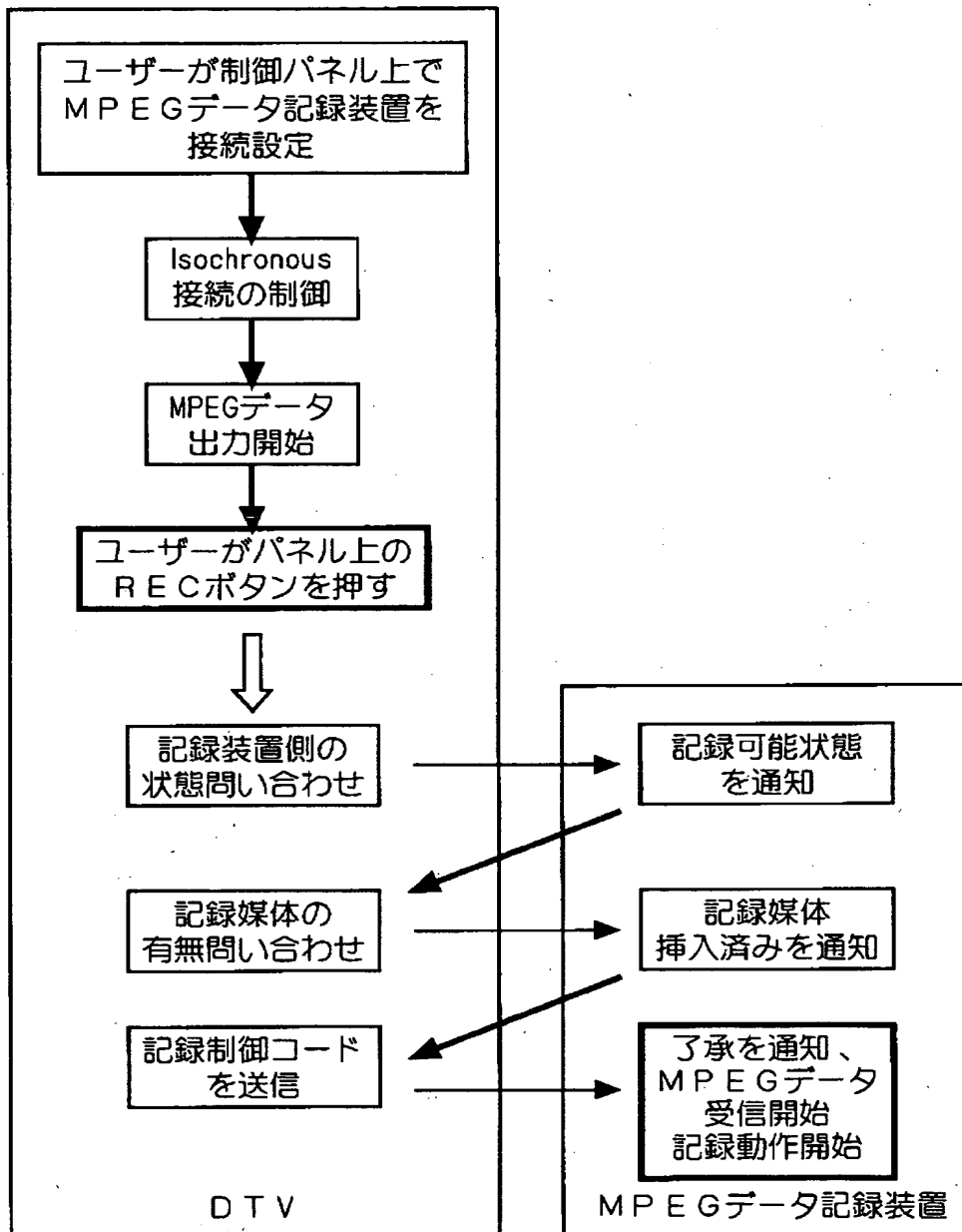
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 IEEE1394インターフェースを介して入力されるMPEGデータをユーザーの記録操作により記録する際に、ユーザーによる記録開始操作及び記録停止操作に素早く反応できるMPEGデータ記録装置を得る。

【解決手段】 IEEE1394インターフェース 1 より出力されるMPEGデータをFIFOバッファ部 1 4 に入力しながら待機し、ユーザーの記録開始操作の時点でFIFOバッファ部 1 4 内のMPEGデータの記録を開始し、ユーザーの記録停止操作の時点でFIFOバッファ部 1 4 内に入力されているMPEGデータまでを全て記録してから記録動作を停止する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社